

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010077368      \*\*Image available\*\*

WPI Acc No: 1994-345081/199443

Related WPI Acc No: 1995-033553; 2000-675654; 2001-074391; 2001-420407

XRAM Acc No: C94-157048

XRPX Acc No: N94-270868

Semiconductor circuit prepn. at lower cost - by forming monosilicic  
matrix circuit on substrate

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); SEMICONDUCTOR  
ENERGY RES CO LTD (SEME ); SEMICONDUCTOR ENERGY LAB CO INC (SEME )

Inventor: TAKAYAMA T; TAKEMURA Y; ZHANG H

Number of Countries: 005    Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 6267988</b>	A	19940922	JP 9379004	A	19930312	199443 B
TW 241377	A	19950221	TW 94101947	A	19940307	199518
US 5569610	A	19961029	US 94207185	A	19940308	199649
US 5614733	A	19970325	US 94207185	A	19940308	199718
			US 94354502	A	19941212	
CN 1099519	A	19950301	CN 94104267	A	19940312	199722
US 5783468	A	19980721	US 94207185	A	19940308	199836
			US 96630628	A	19960410	
CN 1244039	A	20000209	CN 94104267	A	19940312	200026
			CN 99110391	A	19940312	
KR 171437	B1	19990330	KR 944934	A	19940312	200045
CN 1255733	A	20000607	CN 94104267	A	19940312	200046
			CN 99126727	A	19940312	

Priority Applications (No Type Date): JP 9379004 A 19930312; JP 9379005 A  
19930312

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
<b>JP 6267988</b>	A		6 H01L-021/336	
TW 241377	A		H01L-021/331	patent JP 6267988
US 5569610	A	11	H01L-021/84	patent JP 6267988
US 5614733	A	13	H01L-029/76	Div ex application US 94207185 patent JP 6267988 Div ex patent US 5569610
CN 1099519	A		H01L-021/82	patent JP 6267988
US 5783468	A		H01L-021/84	Div ex application US 94207185 Div ex patent US 5569610
CN 1244039	A		H01L-027/02	Div ex application CN 94104267
KR 171437	B1		H01L-021/336	
CN 1255733	A		H01L-021/00	Div ex application CN 94104267

Abstract (Basic): JP 6267988 A    Dwg.1/3

Title Terms: SEMICONDUCTOR; CIRCUIT; PREPARATION; LOWER; COST; FORMING;  
MONO; SILICIC; MATRIX; CIRCUIT; SUBSTRATE

Derwent Class: L03; P81; U14

International Patent Class (Main): H01L-021/00; H01L-021/331; H01L-021/336;  
H01L-021/82; H01L-021/84; H01L-027/02; H01L-029/76  
International Patent Class (Additional): H01L-021/20; H01L-021/324;  
H01L-027/04; H01L-029/784; H01L-029/786; H01L-031/036; H01L-031/112  
File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04596088      \*\*Image available\*\*

**METHOD OF MANUFACTURING SEMICONDUCTOR CIRCUIT**

PUB. NO.:      **06-267988** [JP 6267988 A]

PUBLISHED:      September 22, 1994 (19940922)

INVENTOR(s):    CHIYOU KOUYUU

TAKAYAMA TORU

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      05-079004 [JP 9379004]

FILED:          March 12, 1993 (19930312)

INTL CLASS:     [5] H01L-021/336; H01L-029/784; H01L-021/20

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:        Section: E, Section No. 1647, Vol. 18, No. 673, Pg. 31,  
December 19, 1994 (19941219)

**ABSTRACT**

**PURPOSE:** To make it possible to form two kinds of TFTs, namely a TFT for high shifting and a TFT for low leak current, with minimum processes by forming an amorphous silicon film and an material having a catalyst element in close contact with it and by selectively irradiating the amorphous silicon region with a laser, etc.

**CONSTITUTION:** At first, a ground film 11 of oxide silicon on a substrate 10 by sputtering to deposit a genuine amorphous silicon film 12 by a low-pressure CVD method. A nickel silicide 13 is continuously formed. Then, a laser beam is selectively applied to crystallize that region. Then, the film is annealed under a specific condition in a deoxidation gas to crystallize the region which is not irradiated with the laser. As a result, two kinds of crystalline silicon 12a, 12b are obtained. The region 12a has a high electric field mobility by the laser crystallization process. On the other hand, the region 12b which is crystallized with the thermal annealing leaks less current.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-267988

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/336

29/784

21/20

識別記号

庁内整理番号

F I

技術表示箇所

8122-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数5 F D (全 6 頁)

(21)出願番号

特願平5-79004

(22)出願日

平成5年(1993)3月12日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 竹村 保彦

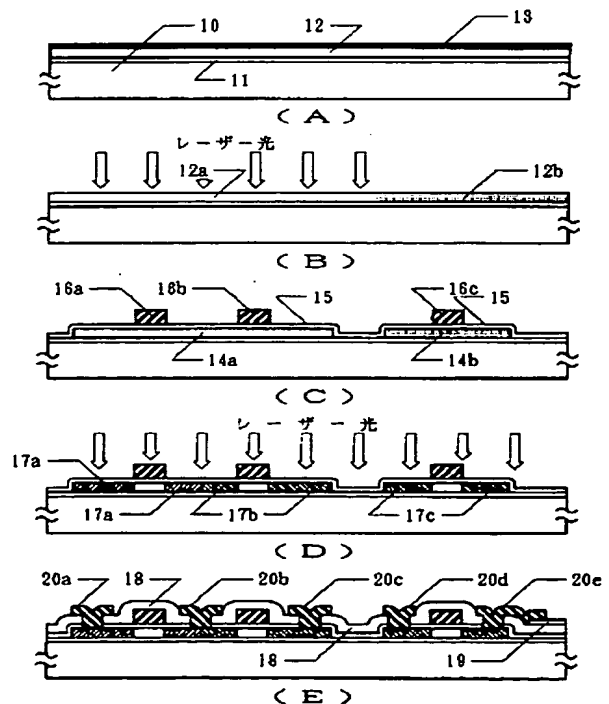
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体回路の作製方法

(57)【要約】

【目的】 薄膜トランジスタ (T F T) の回路において、低リーク電流のT F Tと高速動作が可能なT F Tを有する半導体回路およびそのような回路を作製するための方法を提供する。

【構成】 アモルファスシリコン膜に密着して触媒元素を有する物質を形成し、もしくはアモルファスシリコン膜中に触媒元素を導入し、このアモルファスシリコン膜に、選択的にレーザーもしくはそれと同等な強光を照射することによって結晶化する。さらに、通常のアモルファスシリコンの結晶化温度よりも低い温度でアニールすることによって、レーザーの照射されなかった領域の結晶化をおこなう。そして、熱アニールによって結晶化した領域をアクティブマトリクス回路の画素回路に使用されるT F Tに、先にレーザーによって結晶化した領域を周辺駆動回路に使用されるT F Tに用いる。



## 【特許請求の範囲】

【請求項 1】 アモルファスシリコン膜およびそれに密着して触媒元素を有する物質を形成する第 1 の工程と、前記アモルファスシリコン領域をレーザーもしくはそれと同等な強光を選択的に照射することによって結晶化させる第 2 の工程と、

通常のアモルファスシリコンの結晶化温度よりも低い温度でアニールする第 3 の工程とを有することを特徴とする半導体回路の作製方法。

【請求項 2】 請求項 1 において、触媒元素は、ニッケル、鉄、コバルト、白金の少なくとも 1 つであることを特徴とする半導体回路の作製方法。

【請求項 3】 アモルファスシリコン膜に触媒元素を導入する第 1 の工程と、

前記アモルファスシリコン領域をレーザーもしくはそれと同等な強光を選択的に照射することによって結晶化させる第 2 の工程と、

通常のアモルファスシリコンの結晶化温度よりも低い温度でアニールする第 3 の工程と、を有することを特徴とする半導体回路の作製方法。

【請求項 4】 請求項 3 の第 1 の工程において、アモルファスシリコン中の触媒元素の濃度は、平均値が  $1 \times 10^{16} \text{ cm}^{-3}$  以上であることを特徴とする半導体回路の作製方法。

【請求項 5】 請求項 4 の触媒元素の濃度は、2 次イオン質量分析法によって測定された値で定義されることを特徴とする半導体回路の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ (TFT) を複数個有する半導体回路およびその作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。特に本発明は、モノリシック型アクティブマトリクス回路 (液晶ディスプレイ等に使用される) のように、低速動作のマトリクス回路と、それを駆動する高速動作の周辺回路を有する半導体回路に関する。

## 【0002】

【従来の技術】 最近、絶縁基板上に、薄膜状の活性層 (活性領域ともいう) を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイトトランジスタ、いわゆる薄膜トランジスタ (TFT) が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することや駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコン TFT や結晶性シリコン TFT というように区別されている。

【0003】 一般にアモルファス状態の半導体の電界移

動度は小さく、したがって、高速動作が要求される TFT には利用できない。そこで、最近では、より高性能な回路を作製するため結晶性シリコン TFT の研究・開発が進められている。

【0004】 結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。結晶性シリコンでは、NMOS の TFT だけでなく、PMOS の TFT も同様に得られるので CMOS 回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路 (ドライバー等) をも CMOS の結晶性 TFT で構成する、いわゆるモノリシック構造を有するものが知られている。

## 【0005】

【発明が解決しようとする課題】 図 3 には、液晶ディスプレイに用いられるモノリシックアクティブマトリクス回路のブロック図を示す。基板 7 上には周辺ドライバー回路として、列デコーダー 1、行デコーダー 2 が設けられ、また、マトリクス領域 3 にはトランジスタとキャパシタからなる画素回路 4 が形成され、マトリクス領域と周辺回路とは、配線 5、6 によって接続される。周辺回路に用いる TFT は高速動作が、また、画素回路に用いる TFT は低リーク電流が要求される。それらの特性は物理的に矛盾するものであるが、同一基板上に同時に形成することが求められていた。

【0006】 しかしながら、同一プロセスで作製した TFT は全て同じ様な特性を示す。例えば、結晶シリコンを得るにはレーザーによる結晶化 (レーザーアニール) という手段を使用することができるが、レーザー結晶化によって結晶化したシリコンでは、マトリクス領域の TFT も周辺駆動回路領域の TFT も同じ様な特性である。そこで、マトリクス領域は熱結晶化を採用し、周辺駆動回路領域はレーザーによる結晶化を採用するという方法が考えられるが、熱結晶化には、600℃で24時間以上も長時間のアニールをするか、1000℃以上の高温でのアニールが必要であった。前者では、スループットが低下し、後者では基板が石英に限定されてしまう。

【0007】 本発明はこのような困難な課題に対して解答を与えんとするものであるが、そのためにプロセスが複雑化し、歩留り低下やコスト上昇を招くことは望ましくない。本発明の目的とするところは、高移動度が要求される TFT と低リーク電流が要求される TFT という 2 種類の TFT を最小限のプロセスの変更によって、量産性を維持しつつ、容易に作り分けることにある。

## 【0008】

【課題を解決するための手段】 本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らか

10

20

30

40

50

## 3

になった。触媒材料としては、ニッケル(Ni)、鉄(Fe)、コバルト(Co)、白金(Pt)の単体、もしくはそれらの珪化物等の化合物が適している。具体的には、これらの触媒元素を有する膜、粒子、クラスター等をアモルファスシリコン膜の下、もしくは上に密着して形成し、あるいはイオン注入法等の方法によってアモルファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、典型的には580℃以下の温度で、また、8時間以内の短時間の熱アニールすることによって結晶化させることができる。

【0009】また、化学的気相成長法(CVD法)によってアモルファスシリコン膜を形成する際には原料ガス中に、また、スパッタリング等の物理的気相法でアモルファスシリコン膜を形成する際には、ターゲットや蒸着源等の成膜材料中に、これらの触媒材料を添加しておいてもよい。当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、ニッケル、鉄、コバルト、白金の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明人の研究では、結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が $10^{17} \text{ cm}^{-3}$ またはそれ以上、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以上存在することが必要であることがわかった。

【0010】なお、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人の研究では、これらの触媒材料の濃度は合計して $1 \times 10^{20} \text{ cm}^{-3}$ を越えないことが望まれる。特に、局所的(例えば粒界等)にも $1 \times 10^{20} \text{ cm}^{-3}$ を越えないことが望まれる。

【0011】本発明は、レーザー結晶化によって動作速度の速いTFT(アクティブマトリクスドライバートFT等)を選択的に形成する一方、上記の触媒材料による結晶化の特徴を生かして、その他の比較的速度の遅いTFT(アクティブマトリクス回路の画素回路の低リークTFT等)に関しては、低温で短時間に結晶化させてに用いることを特徴とする。この結果、低リーク電流と高速動作という矛盾するトランジスタを有する回路を同一基板上に同時に形成することができる。以下に実施例を用いて、より詳細に本発明を説明する。

## 【0012】

## 【実施例】

【実施例1】 本実施例は、図3に示すような1枚のガラス基板上にアクティブマトリクスと、その周辺に駆動回路を有する半導体回路に関するものである。図1に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)10上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜11を形成した。さらに、減圧CVD法によって、厚さ500~1500Å、例えば1500Åの真性(I型)のアモルファスシリコン膜12を堆積した。連続して、スパッタリング法によ

## 4

って、厚さ5~200Å、例えば20Åの珪化ニッケル膜(化学式 $\text{NiSi}_x$ 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x=2.0$ )13を形成した。(図1(A))

【0013】次に、選択的にレーザー光を照射して、その領域の結晶化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長248nm、パルス幅20ns)を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー(波長353nm)、XeClエキシマーレーザー(波長308nm)、ArFエキシマーレーザー(波長193nm)等を用いてもよい。レーザーのエネルギー密度は、200~500mJ/cm<sup>2</sup>、例えば350mJ/cm<sup>2</sup>とし、1か所につき2~10ショット、例えば2ショット照射した。レーザー照射時に、基板を200~450℃、例えば300℃に加熱した。

【0014】図3からも明らかなように、レーザー結晶化すべき領域(周辺回路領域)と熱結晶化で十分な領域(マトリクス領域)はかなりの距離が存在するので、特にフォトリソグラフィ工程は必要がなかった。

20 【0015】次に、これを還元雰囲気下、500℃で4時間アニールして、レーザー照射されなかった領域(アクティブマトリクスの画素回路)を結晶化させた。この結果、2種類の結晶シリコン領域12a、12bが得られた。領域12aはレーザー結晶化工程によって電界移動度が高く、一方、熱アニールで結晶化した領域12bは低リーク電流であるという特徴を有していた。(図1(B))

30 【0016】このようにして得られたシリコン膜をフォトリソグラフィ法によってパターニングし、島状シリコン領域14a(周辺駆動回路領域)および14b(マトリクス領域)を形成した。さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜15をゲイト絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200~400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0~0.5、例えば0.1以下とした。引き続き、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのシリコン膜(0.1~2%の燐を含む)を堆積した。

40 なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をパターニングして、ゲイト電極16a、16b、16cを形成した。(図1(C))

50 【0017】次に、プラズマドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物(燐およびホウ素)を注入した。ドーピングガスとして、フォスフィン(PH<sub>3</sub>)およびジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、前者の場合は、加速電圧を60~90kV、例えば80kV、後者の場合は、40~80kV、例えば65kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例

5

例えば、燐を  $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を  $5 \times 10^{15}$  とした。この結果、N型の不純物領域 17a、P型の不純物領域 17b および 17c が形成された。

【0018】その後、レーザーアニールによって、不純物を活性化させた。レーザーとしては KrF エキシマーレーザー（波長 248 nm、パルス幅 20 nsec）を用いたが、その他のレーザー、例えば、XeF エキシマーレーザー（波長 353 nm）、XeCl エキシマーレーザー（波長 308 nm）、ArF エキシマーレーザー（波長 193 nm）等を用いてもよい。レーザーのエネルギー密度は、200～400 mJ/cm<sup>2</sup>、例えば 250 mJ/cm<sup>2</sup> とし、1か所につき 2～10 ショット、例えば 2 ショット照射した。レーザー照射時に、基板を 200～450℃ に加熱してもよい。レーザーを照射する代わりに、450～500℃ で 2～8 時間アニールしてもよい。こうして不純物領域 17a～17c を活性化した。（図 1（D））

【0019】続いて、厚さ 6000 Å の酸化珪素膜 18 を層間絶縁物としてプラズマ CVD 法によって形成し、さらに、スパッタリング法によって厚さ 500～1000 Å、例えば 800 Å のインジウム錫酸化膜（ITO）を形成し、これをパターニングして画素電極 19 を形成した。次に層間絶縁物にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺駆動回路 TFT の電極・配線 20a、20b、20c、マトリクス画素回路 TFT の電極・配線 20d、20e を形成した。最後に、1 気圧の水素雰囲気

で 350℃、30 分のアニールをおこなった。以上の工程によって半導体回路が完成した。（図 1（E））得られた TFT の活性領域のニッケルの濃度を、2 次イオン質量分析（SIMS）法によって測定したところ、周辺駆動回路および画素回路ともに、 $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$  のニッケルが観測された。

【0020】〔実施例 2〕 図 2 に本実施例の作製工程の断面図を示す。基板（コーニング 7059）21 上に、スパッタリング法によって、厚さ 2000 Å の酸化珪素膜 22 を形成した。次に、減圧 CVD 法によって、厚さ 200～1500 Å、例えば 500 Å のアモルファスシリコン膜 23 を堆積した。そして、イオン注入法によってニッケルイオンを注入し、アモルファスシリコンの表面にニッケルが  $1 \times 10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$  だけ含まれるような領域 24 を作製した。この領域 24 の深さは 200～500 Å とし、加速エネルギーはそれに合わせて最適なものを選択した。（図 2（A））

【0021】次に、アモルファスシリコン膜に選択的にレーザー光を照射して、その領域の結晶化をおこなった。レーザーとしては KrF エキシマーレーザー（波長 248 nm、パルス幅 20 nsec）を用いた。レーザーのエネルギー密度は、200～500 mJ/cm<sup>2</sup>、

6

例えば 350 mJ/cm<sup>2</sup> とし、1か所につき 2～10 ショット、例えば 2 ショット照射した。レーザー照射時に、基板を 200～450℃、例えば 400℃ に加熱した。さらに、還元雰囲気下、500℃ で 4 時間アニールして、レーザー照射されなかった領域のアモルファスシリコン膜を結晶化させた。この結晶化工程によって、2 種類の結晶シリコン 23a、23b が得られた。（図 2（B））

【0022】その後、このシリコン膜をパターニングして、島状シリコン領域 26a（周辺駆動回路領域）および 26b（マトリクス画素回路領域）を形成した。さらに、テトラ・エトキシ・シラン（Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>、TEOS）と酸素を原料として、プラズマ CVD 法によって TFT のゲイト絶縁膜として、厚さ 1000 Å の酸化珪素 27 を形成した。原料には、上記ガスに加えて、トリクロロエチレン（C<sub>2</sub>HCl<sub>3</sub>）を用いた。成膜前にチャンバーに酸素を 400 SCCM 流し、基板温度 300℃、全圧 5 Pa、RF パワー 150 W でプラズマを発生させ、この状態を 10 分保った。その後、チャンバーに酸素 300 SCCM、TEOS を 15 SCCM、トリクロロエチレンを 2 SCCM を導入して、酸化珪素膜の成膜をおこなった。基板温度、RF パワー、全圧は、それぞれ 300℃、75 W、5 Pa であった。成膜完了後、チャンバーに 100 Torr の水素を導入し、350℃ で 35 分の水素アニールをおこなった。

【0023】引き続いて、スパッタリング法によって、厚さ 6000～8000 Å、例えば 6000 Å のアルミニウム膜（2% のシリコンを含む）を堆積した。アルミニウムの代わりにタンタル、タングステン、チタン、モリブテンでもよい。なお、この酸化珪素 27 とアルミニウム膜の成膜工程は連続的におこなうことが望ましい。そして、アルミニウム膜をパターニングして、TFT のゲイト電極 28a、28b、28c を形成した。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物層 29a、29b、29c を形成した。陽極酸化は、酒石酸の 1～5% エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは 2000 Å であった。（図 2（C））

【0024】次に、プラズマドーピング法によって、シリコン領域に不純物（燐）を注入した。ドーピングガスとして、フォスフィン（PH<sub>3</sub>）を用い、加速電圧を 60～90 kV、例えば 80 kV とした。ドーズ量は  $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$  とした。このようにして N 型の不純物領域 30a を形成した。さらに、今度は左側の TFT（N チャネル型 TFT）をフォトレジストでマスクして、再び、プラズマドーピング法で右側の周辺回路領域 TFT（P チャネル TFT）およびマトリクス領域 TFT のシリコン領域に不純物（ホウ素）を注入した。ドーピングガスとして、ジ



7

ボラン ( $B_2H_6$ ) を用い、加速電圧を  $50 \sim 80$  kV、例えば  $65$  kV とした。ドーズ量は  $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、先に注入された燐より多い  $5 \times 10^{15} \text{ cm}^{-2}$  とした。このようにして P 型の不純物領域 30b、30c を形成した。

【0025】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしては KrF エキシマーレーザー (波長  $248 \text{ nm}$ 、パルス幅  $20 \text{ nsec}$ ) を用いた。レーザーのエネルギー密度は、 $200 \sim 400 \text{ mJ/cm}^2$ 、例えば  $250 \text{ mJ/cm}^2$  とし、1 か所につき  $2 \sim 10$  ショット、例えば 2 ショット照射した。(図 2 (D))

【0026】続いて、層間絶縁物として厚さ  $2000 \text{ \AA}$  の酸化珪素膜 31 を TEOS を原料とするプラズマ CVD 法によって形成し、さらに、スパッタリング法によって、厚さ  $500 \sim 1000 \text{ \AA}$ 、例えば  $800 \text{ \AA}$  のインジウム錫酸化膜 (ITO) を堆積した。そして、これをエッチングして画素電極 32 を形成した。さらに、層間絶縁物 31 にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺

ドライバ回路 TFT のソース、ドレイン電極・配線 33a、33b、33c および画素回路 TFT の電極・配線 33d、33e を形成した。以上の工程によって半導体回路が完成した。(図 2 (E))

【0027】作製された半導体回路において、周辺ドライバ回路領域の TFT の特性は従来のレーザー結晶化によって作製されたものとは何ら劣るところはなかった。例えば、本実施例によって作成したシフトレジスタは、ドレイン電圧  $15 \text{ V}$  で  $11 \text{ MHz}$ 、 $17 \text{ V}$  で  $16 \text{ MHz}$  の動作を確認できた。また、信頼性の試験においても従来のものとの差を見出せなかった。さらに、マトリクス領域の TFT (画素回路) の特性に関しては、リーク電流は  $10^{-13} \text{ A}$  以下であった。

【0028】

【発明の効果】本発明によって、同一基板上に、高速動作が可能な結晶性シリコン TFT と低リーク電流を特徴

8

とするアモルファスシリコン TFT を形成することができた。これを液晶ディスプレイに応用した場合には、量産性の向上と特性の改善が図られる。

【0029】また、本発明は、例えば、 $500^\circ\text{C}$  というような低温、かつ、4 時間という短時間でシリコンの結晶化をおこなうことによって、スループットを向上させることができる。加えて、従来、 $600^\circ\text{C}$  以上のプロセスを採用した場合にはガラス基板の縮みやソリが歩留り低下の原因として問題となっていたが、本発明を利用することによってそのような問題点は一気に解消された。

【0030】さらに、このことは、大面積の基板を一度に処理できることを意味するものである。すなわち、大面積基板を処理することによって、1 枚の基板から多くの半導体回路 (マトリクス回路等) を切り出すことによって単価を大幅に低下させることができる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図 1】 実施例 1 の作製工程断面図を示す。

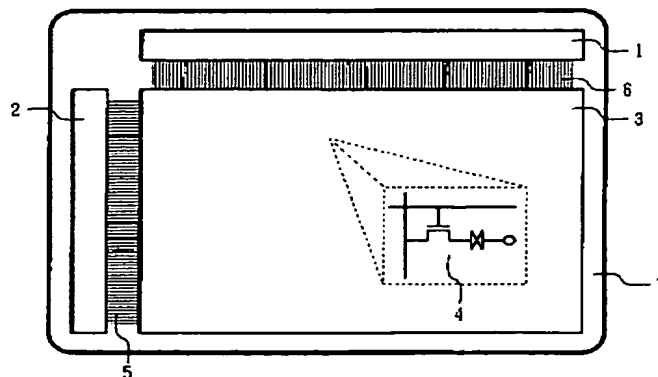
【図 2】 実施例 2 の作製工程断面図を示す。

【図 3】 モノリシック型アクティブマトリクス回路の構成例を示す。

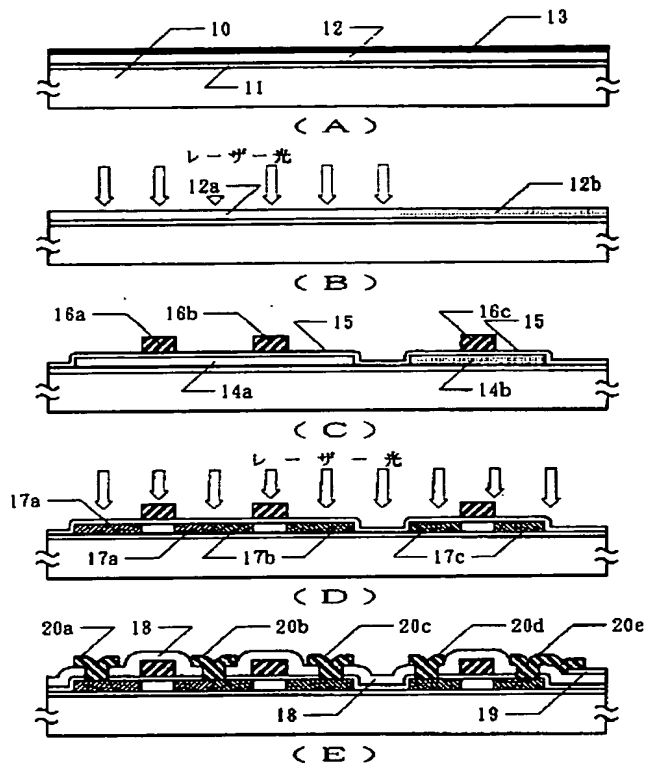
【符号の説明】

- 10・・・基板
- 11・・・下地絶縁膜 (酸化珪素)
- 12・・・アモルファスシリコン膜
- 13・・・珪化ニッケル膜
- 14・・・島状シリコン領域
- 15・・・ゲイト絶縁膜 (酸化珪素)
- 16・・・ゲイト電極 (燐ドーパされたシリコン)
- 17・・・ソース、ドレイン領域
- 18・・・層間絶縁物 (酸化珪素)
- 19・・・画素電極 (ITO)
- 20・・・金属配線・電極 (窒化チタン/アルミニウム)

【図 3】



【図 1】



【図 2】

